

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002049438
PUBLICATION DATE : 15-02-02

APPLICATION DATE : 03-08-00
APPLICATION NUMBER : 2000235125

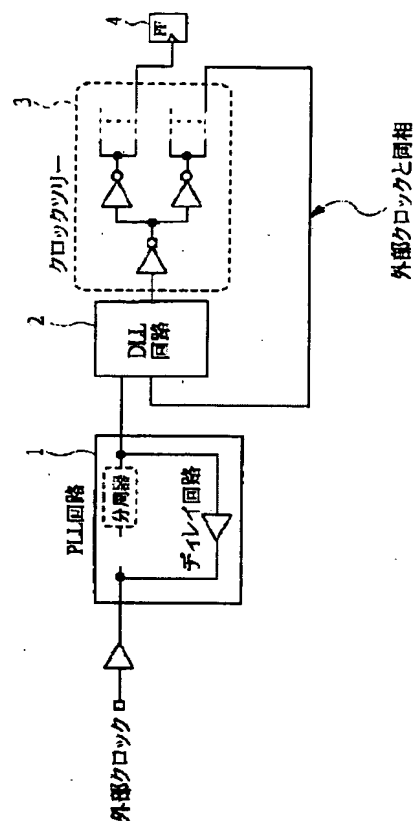
APPLICANT : HITACHI LTD;

INVENTOR : TAKAHASHI TOSHIRO;

INT.CL. : G06F 1/10 G06F 1/12 H01L 27/04
H01L 21/822 H03L 7/081 H03L 7/08
H04L 7/033 // H03K 5/13 H04L 25/40

TITLE : SEMICONDUCTOR DEVICE

図 1



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor device capable of reducing clock skew in an LSI by reducing the jitter of an PLL circuit single body.

SOLUTION: A clock phase matching circuit using a PLL circuit constituting a logical LSI by a CMOS gate array is composed of a PLL circuit 1 capable of self-oscillation by performing feedback by the inside loop, a DLL circuit 2 for matching the phase of the clocks signal of the output part of the PLL circuit 1 with the phase of the clock signal of a clock tree terminal part, and a clock tree 3 for distributing inside clock signals generated by the DLL circuit 2. Then, the PLL circuit 1 is allowed to oscillate by the inside loop so that it is possible to reduce any clock skew in the LSI by reducing the jitter of the PLL circuit 1 single body, and that it is possible to reduce any inter-LSI clock skew by using the DLL circuit 2.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-49438

(P2002-49438A)

(43) 公開日 平成14年2月15日 (2002.2.15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 6 F 1/10		H 0 3 K 5/13	5 B 0 7 9
	1/12	H 0 4 L 25/40	C 5 F 0 3 8
H 0 1 L 27/04		G 0 6 F 1/04	3 3 0 A 5 J 0 0 1
	21/822		3 4 0 A 5 J 1 0 6
H 0 3 L 7/081		H 0 1 L 27/04	H 5 K 0 2 9

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2000-235125(P2000-235125)

(22) 出願日 平成12年8月3日 (2000.8.3)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鈴木 和久

東京都青梅市新町六丁目16番地の3

株式会社日立製作所デバイス開発センター内

(72) 発明者 高橋 敏郎

東京都青梅市新町六丁目16番地の3

株式会社日立製作所デバイス開発センター内

(74) 代理人 100080001

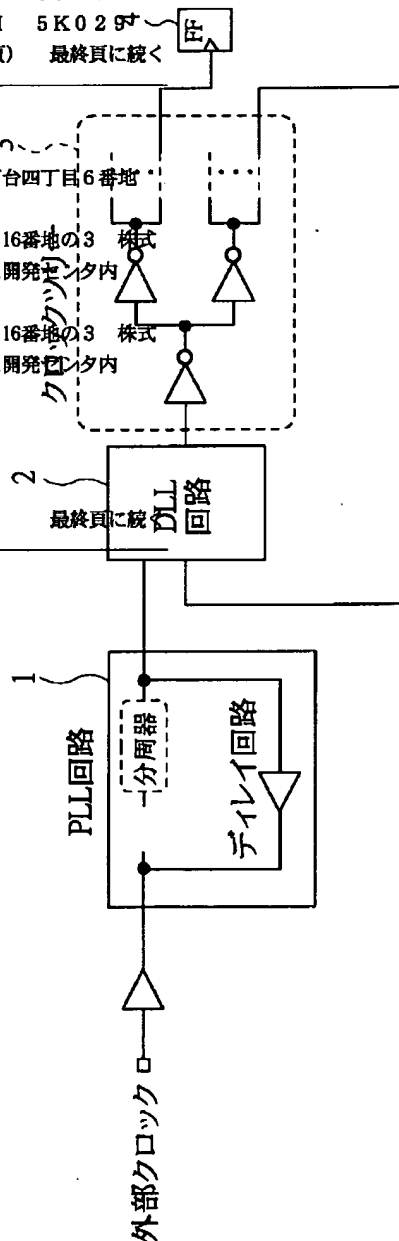
弁理士 筒井 大和

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 PLL回路単体のジッターを低減することによってLSI内のクロックスキューを低減することができる半導体装置を提供する。

【解決手段】 CMOSゲートアレイによる論理LSIを構成するPLL回路を用いたクロック位相合わせ回路であって、内部ループでフィードバックをかけて自己発振可能なPLL回路1と、このPLL回路1の出力部のクロック信号の位相とクロックツリー末端部のクロック信号の位相とを合わせるDLL回路2と、このDLL回路2から出力された内部クロック信号を分配するクロックツリー3などから構成され、PLL回路1を内部ループで発振させることによってPLL回路1単体のジッターを低減してLSI内のクロックスキューを低減し、かつDLL回路2を用いることによってLSI間のクロックスキューを低減することができる構成となっている。



【特許請求の範囲】

【請求項 1】 内部ループでフィードバックをかけて自己発振可能な PLL 回路と、

前記 PLL 回路の出力部のクロック信号の位相とクロックツリー末端部のクロック信号の位相とを合わせる DLL 回路とを有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、前記 PLL 回路は、前記 PLL 回路から出力されたクロック信号を分周する分周器と、前記 PLL 回路の参照クロック信号を入力する入力回路とディレイが等しいディレイ回路とを有し、

前記 PLL 回路のフードバックループに前記分周器と前記ディレイ回路とが接続されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置であって、前記 DLL 回路は、前記 PLL 回路からの出力クロック信号の位相と前記クロックツリー末端部からのフィードバッククロック信号の位相とを比較する位相比較器と、前記位相比較器の出力信号をクロック信号に用いたシフトレジスタと、前記シフトレジスタの出力結果に応じてディレイ値を変えるディレイ回路とを有し、前記位相比較器と前記シフトレジスタとを組み合わせる前記ディレイ回路のディレイ値を変え、電源投入時のみ位相合わせを行うことを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置であって、前記 DLL 回路は、前記 PLL 回路からの出力クロック信号の位相と前記クロックツリー末端部からのフィードバッククロック信号の位相とを比較する位相比較器と、前記位相比較器からのアップ信号/ダウン信号に応じてインクリメント/デクリメントするアップダウンカウンタと、前記アップダウンカウンタの出力結果に応じてディレイ値を変えるディレイ回路とを有し、前記位相比較器と前記アップダウンカウンタとを組み合わせる前記ディレイ回路のディレイ値を変え、動作時に位相が大きくなった場合のみ位相合わせを行うことを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置であって、前記 DLL 回路は、前記 PLL 回路からの出力クロック信号の位相と前記クロックツリー末端部からのフィードバッククロック信号の位相とを比較する位相比較器と、前記位相比較器からのアップ信号/ダウン信号に応じてレベルを生成するチャージポンプと、前記チャージポンプのレベルに応じてディレイ値を変えるディレイ回路とを有し、前記位相比較器と前記チャージポンプとを組み合わせる前記ディレイ回路のディレイ値を変え、アナログ的に位相合わせを行うことを特徴とする半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置のクロ

ックスキュー低減技術に関し、特にシステムの高速化に伴い、システムのクロック信号と LSI 内部のクロックスキューが問題となる LSI において、この LSI 内にスキューの小さいクロック信号を供給する方法として好適な半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】 近年、システムの高速化に伴い、システムのクロック信号と LSI 内部のクロックスキューが問題となっている。そこで、現状の LSI は、PLL (Phase Locked Loop) 回路を用いてシステムクロック信号と LSI 内部のクロック信号の位相を同期させ、また PLL 回路を使用することにより、入力クロック信号の周波数を LSI 内部で逡倍することができる。

【0003】 この PLL 回路の特性として重要なことはジッター性能で、PLL 回路のジッターがクロックスキューに大きく影響を与える。LSI の動作周波数を高くするには、クロックスキュー (= PLL 回路のジッター) を低減しなければならないが、PLL 回路の多くはアナログ方式の回路を採用しているため、近年、LSI の電源の低電圧化が進むにつれてノイズなどの影響によりジッターの小さい PLL 回路を設計するのが難しくなっている。

【0004】 たとえば、CMOS ゲートアレイでは、入力クロック信号の周波数を逡倍したり、チップ間のクロックスキューを低減する目的で PLL 回路を用いている。この PLL 回路は、クロックツリー末端部のクロック信号の位相と入力された参照クロック信号の位相とが合うように位相調整を行うことにより、チップ間でのクロックツリー末端部のスキューがなくなるようにしている。

【0005】 なお、このような PLL 回路に関する技術としては、たとえば平成 2 年 2 月 10 日、日本放送出版協会発行の「電子回路ノウハウ 発振回路の完全マスター」P 37 に記載される技術などが挙げられる。

【0006】

【発明が解決しようとする課題】 ところで、前記のような PLL 回路の技術について、本発明者が検討した結果、以下のようなことが明らかとなった。以下において、PLL 回路を用いたクロック位相合わせ回路を示す図 12、この図 12 の回路を含む LSI の接続を示す図 13 を用いて、本発明の前提となる LSI の一例を説明する。

【0007】 図 12 のように、PLL 回路を用いたクロック位相合わせ回路は、PLL 回路 11、クロックツリー 13、ディレイ回路 16 などからなり、外部クロック信号から内部クロック信号が生成されるような構成となっている。この PLL 回路 11 を用いたクロック位相合わせ回路を含む LSI は、図 13 のように接続され、各 LSI (1~n) に対して外部クロック信号が共通に入